

電磁ノイズの電子回路への影響と半導体素子の静電破壊防止について

富田 一*, 田畠泰幸*

Effects of Electromagnetic Noises on Electronic Circuits and Electrostatic Protection of Semiconductor Devices

by Hajime TOMITA* and Yasuyuki TATABA*

Abstract: Electronic devices and equipment are prone to be malfunctioned by electromagnetic noises emitted by nearby industrial equipment, such as inverters and welding machines. Such equipment are also affected by electric over stress and electrostatic discharge (EOS/ESD). EOS/ESD become the cause of semiconductor failure. Conductive materials are commonly used for shielding semiconductor devices from EOS/ESD.

In this paper, a fundamental study was conducted on electromagnetic noise in industrial environments, malfunction of digital circuits and the relationships between electrical properties of conductive materials and their field screening capabilities. In an industrial environment, motors and welding machines are the main sources of electromagnetic noise. To investigate the malfunction of a digital circuit, such was tested by injecting a pseudo-noise onto a signal line of the circuit.

Malfunction was found to occur when the signal level changed from high to low or vice versa as a result of the composite effect of signal and electromagnetic noise. Considering from IEC standard, the noise level at the malfunction of a digital circuit was found to be lower than the severity level requested in industrial environment. With regards to conductive materials, which are used for the protection of semiconductor devices from EOS/ESD, their electric field shielding effectivenesses were investigated based on the standardized method of test, IS-5-A, and calculated using an equivalent circuit of a human body and conductive material. The calculated results nearly agreed with the experiments. Electric field shielding effectiveness was also calculated using the simple electrostatic discharge model. The electric field generated by the discharge was assumed to be the summation of plain waves. The comparison between the computational result obtained in this study and experimental results revealed that volume resistivity less than $1\Omega \cdot \text{m}$ is necessary to protect a semiconductor device from being affected by EOS/ESD. The computational method for assessing the electric field shielding effectiveness is applicable to designing conductive materials for electrostatic protection.

Keywords; EMI, Electric over stress, Electric field, ESD

1. はじめに

生産現場には放電加工機、高周波ウエルダ、インバータ機器等不要な電磁波、いわゆる電磁ノイズを発生する多くの源が存在する。これらの機器からの電磁ノイズは、各種の電子機器に影響を及ぼし、時として誤作

動を発生させることがある。例えば、郵政省の地方電気通信管理局には電磁ノイズに関する苦情・相談が寄せられているが、その中には工場機器の誤作動といった安全に関する相談も含まれている。平成5年の場合には、安全に関する相談が10件挙げられている。電磁ノイズ問題は、昭和50年代からの工場のFA化に伴う産業機器の電子化の過程で、電磁ノイズの影響を受けやすい電子機器の使用される頻度の増加のために顕在

*物理工学安全研究部 Physical Engineering Safety
Research Division

化してきた。

ここでは、電子機器の電磁ノイズに対する対策を進める上での基礎的な研究として、生産現場の電磁環境の測定、デジタル回路に使用される代表的なICに対する電磁ノイズの影響及び電子機器に使用されるICの予測できない劣化(latent failure)の防止に使用されるバグの電気的特性と電界シールド効果との関係を調べた。その結果、モデル化したバグ内に発生する電界とバグの電気的特性との関係について、今までに得られている実験結果と整合性のあるデータ等が得られたので、これらの結果について報告する。

2. 産業現場における電磁ノイズ

2.1 測定方法

一般的に電磁ノイズ源と考えられている機器が設置されている数カ所の産業現場で、現場内の電磁界環境の測定をおこなった。

磁界測定には(EMCO ACTIVE LOOP ANTENNA MODEL 6507, 周波数帯域: 1kHz-30MHz)を、電界測定には(EMCO ACTIVE ROD ANTENNA 3301B, 周波数帯域: 30 Hz-50MHz)を用いた。また、電磁界の波形測定には、デジタルオシロスコープ(テクトロニクス 2430A, 周波数帯域: DC~100MHz)を用いた。

2.2 測定結果

測定は、電線、住宅建材、あるいは絶縁材料のメーカーで行った。まず、全般的な電磁環境を測定した上で、特に電磁ノイズの電界強度あるいは磁界強度の大きな機器付近で電磁ノイズを測定した。

産業現場で電子機器の誤作動を引き起こす恐れがある電磁ノイズ発生源には、Table 1のような機器が挙げられる。実際の生産現場においても、Table 1に挙げた機器付近での電磁界強度が大きいものであった。住宅建材製造メーカーで、大きな電磁界を発生させていた機器は、アーク溶接機とスポット溶接機であった。アーク溶接機より約1m離れた位置で、電界の垂直偏波成分を測定し、Fig. 1の結果が得られた。溶接作業による放電時に発生する電界は電界強度、周波数ともに時間的に大きく変動している。最大電界強度はpeak-to-peakで0.5 V/mに達し、最高周波数は約5 MHzであった。

絶縁材料のメーカーでは、絶縁性シート等の表面処理を行うコロナ処理機付近での電磁界強度が顕著であった。約120 kHzの正弦波状電磁ノイズと同時にコロナ放電によるノイズが重畳された高周波電磁ノイズが発生し、その電界、磁界強度は各々36 V/m, 0.12 A/m

Table 1 Typical man-made noises.
電磁ノイズ発生源

1. Relay
2. Circuit breaker
3. Motor
4. Thyristor
5. Electrostatic discharge
6. Welding machine

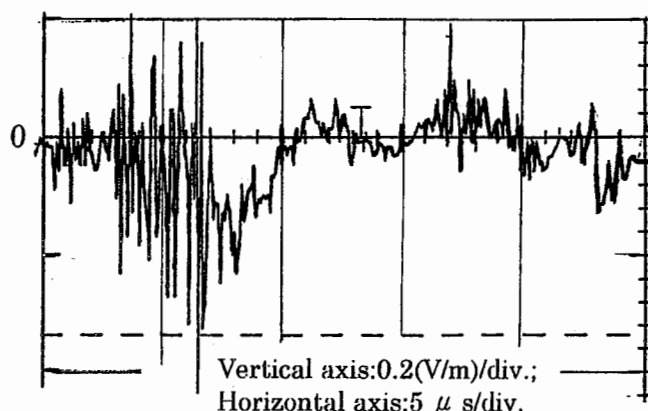


Fig. 1 Wave form of electric field produced by a welding machine.

アーク溶接機から発生する電磁ノイズ波形

程度と大変強いものであった。

電線メーカーでは、導線を伸ばして細くする伸線機で磁界強度が高かった。伸線機は動力として大型のモータを使用しており、モータから2m離れた地点での磁界は、peak-to-peakで最大10 mA/mであった。伸線機の各部での磁界測定の結果、引き延ばされた線の排出口付近で最も大きな磁界が測定され、基本周波数が約1 kHzで、peak-to-peakが80 mA/mにも達していた。これらの結果を、IECから報告されている電磁界データより検討すると、重工業環境での9 kHz-27 MHzでの電界が30 V/mとのデータからみて、絶縁材料のメーカーは典型的な重工業環境に該当していると考えられる。また、アーク溶接機、スポット溶接機、コロナ処理機及び大型モータが顕著な電磁ノイズ源であった。

3. 電磁ノイズの電子回路への影響

前章のように生産現場には、多くの電磁ノイズ源が存在し、電子機器への影響も大きなものと推定される。電磁ノイズが電子機器に及ぼす影響を把握する目的で、測定した電磁環境が典型的な重工業環境であることを

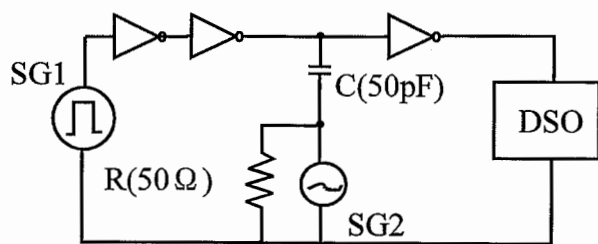


Fig. 2 Experimental electronic circuit.
実験に用いた電子回路

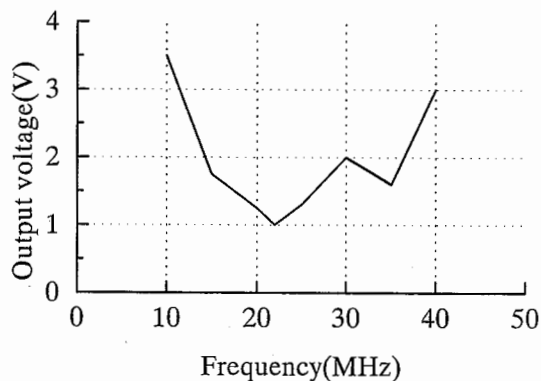


Fig. 3 Relation between frequency and output voltage of SG2 at the malfunction of 74S04.
74S04 誤作動時における SG2 の周波数と出力との関係

踏まえて検討する。影響評価の手法は、測定した環境の電磁ノイズの周波数が数十 MHz 以下であるため、国際的な規格の中の高周波ノイズが電源ライン等に重畳した場合を参考とした。電子回路としては、基本的な IC であるインバータが 6 個実装された高速 C-MOS の 74HC04 及びショットキ TTL の 74S04 を用い、これに高周波ノイズを印加して動作特性を調べた。74S04 の立ち上がり時間、立ち下がり時間は各々 4.5 ns, 5 ns である。74HC04 の立ち上がり時間、立ち下がり時間は同一で 23 ns である。これらの IC を Fig. 2 のように構成して、電磁ノイズの影響を調べた。電源電圧は直流の 5 V とした。C は容量結合用のコンデンサ (50 pF), R は低周波での標準信号発生器のインピーダンス整合の目的で使用した抵抗 (50 Ω) である¹⁾。信号源には、周波数 1 kHz, duty 比 50% の矩形波信号を用いた。74HC04 に、SG2 による疑似ノイズとして周波数 21 MHz, 振幅 5.7 V の正弦波を用いたところ、正弦波状の疑似ノイズと信号発生器からの信号が重畳した電圧が、IC の入力に印加され、入力信号レベルが low から high に遷移する過程で、出力信号が low → high → low という不安定な動作、すなわち誤作動の発生がみられた。74S04 の場合回路が誤作動したときの印加した疑似ノイズのレベルと周波数とには Fig. 3 の結果が得られ、22 MHz ではレベルが 1 V で誤作動が発生した。また、ノイズは過渡的な単発現象であることから、これを念

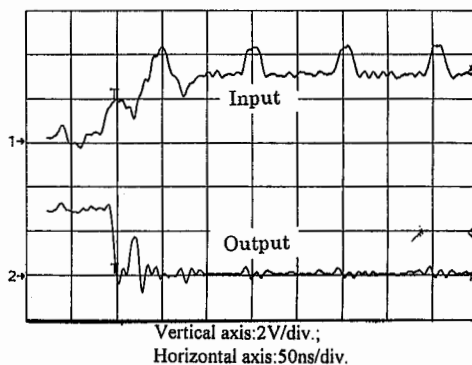


Fig. 4 Malfunction of 74S04 caused by pulse electromagnetic noise.

パルス電磁ノイズによる 74S04 の誤作動

頭に、パルス状のノイズが信号ラインに電磁干渉した場合の 74S04 の動作特性を Fig. 4 に示す。パルスの立ち上がり時間、パルスが high → 0 V に遷移するに要する時間は 6 ns 以下であり、振幅 2.3 V, 持続時間は 18 ns, 繰り返し周波数 10 MHz とした。正弦波の場合と同様に、信号レベルが遷移する過程で、ノイズ信号が重畳した場合に誤作動がみられる。

これらの結果は、国際規格で定められた伝導ノイズに対する工業環境の試験レベルとして 10 V が要求されていることから、測定したような工業環境では、電磁ノイズ対策が不十分な場合には電子機器が誤作動する可能性を示唆している。また、デジタル回路の動作では、high あるいは low と判定されるレベルの閾値があるが、動作が遷移する過程では、閾値の間に信号レベルがあり、この時に外乱が信号ラインに混入すると、電磁ノイズと本来の信号との複合した電圧が IC の入力に印加され、その電圧が閾値を超えたときに、出力が low あるいは high に遷移する不安定な動作、すなわち誤作動が発生することとなる。特に産業現場で使用される放電加工機、アーク溶接機等は、前章の測定結果のように、高周波成分を含み、Fig. 2 で信号線路に注入したパルスの立ち上がりと類似の電磁ノイズが発生していることから、これらの機器と電子機器とは、電源ラインを別系統にする対策が必要となる。空間を伝搬して機器に電磁干渉する電磁ノイズの影響は、ノイズ発生源と影響を受ける機器との離隔距離が離れるほど少なくなることから、これらの機器の離隔距離を大きく取ることも対策となる。

以上のように典型的な工業環境における電子機器は、条件によっては環境内の電磁ノイズによって誤作動する可能性がある。また、電磁ノイズ源には今回の測定現場における溶接機等のほか、Table 1 のように静電気の放電がある。帯電した人体からの静電気の放電は、電子機器の誤作動を引き起こす可能性があると同時に、

Table 2 Properties of conductive bags.
導電性バッグの特性

Sample	Surface resistivity (Ω)	Volume resistivity ($\Omega \cdot m$)	Thickness (μm)	Structure
A	6×10^5	6×10^{13}	100	Single layer
B	1×10^{15}	3×10^{11}	85	Triple layers
C	4×10^{12}	5×10^{14}	100	Triple layers
D	2×10^4	4×10^5	100	Single layer
E	8×10^{10}	4×10^{14}	90	Double layers

半導体素子の劣化、破壊の要因となっている。この対策のため、電子機器の組立過程では人体の接地や作業環境で発生する静電気の中和が図られ、搬送過程での静電気対策には、電磁シールド用の導電性バッグが使用されている。この導電性バッグについては、材料、構造が多様であるが、導電性バッグの電気的特性と電界シールド効果について十分に解明されていない。以下、劣化防止の基礎的資料を得ることを目的に、半導体劣化防止に使用される電磁シールド用導電性バッグについて、電気的特性と電界シールド効果について検討する。

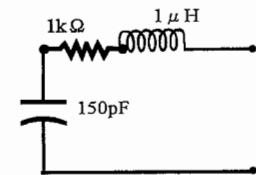
4. 半導体素子の劣化防止用バッグの電気的特性と電界シールド効果

現状を把握するため、導電性バッグに使用されている電界シールド材の電気的特性を調べた。Table 2はその結果であり、構造も同一の導電性物質で構成された単一のもの、内側は導電性物質で構成され、外側は導電層の機械的保護を目的とした材料から構成される2層構造、あるいは最も導電率の高い層が中心に存在する3層構造がある。また、表面抵抗率は $2 \times 10^4 \sim 1 \times 10^{15} \Omega$ 、体積抵抗率も $4 \times 10^5 \sim 5 \times 10^{14} \Omega \cdot m$ の範囲であった。3層構造の金属蒸着層の表面抵抗率は $50 \sim 100 \Omega$ である。

これらの材料の電界シールド効果を調べるために、バッグ内に金属製電極2枚で構成されたキャパシティブセンサ（静電容量:1 pF）を挿入し、センサの電極間に現れる電位の時間的な変動をオシロスコープによって観測した。静電気放電シミュレータの放電電圧を3 kVに設定したときに観測したピーク値をTable 3に示す。ピーク電圧は700~1,500Vにも達している。この実験結果を検証するには、モデルを用いた計算シミュレーションが有効であるため²⁾、同方法により検討した。人体の電気的等価モデルにはFig. 5に示す回路を

Table 3 Peak voltage observed by capacitive sensor at electrostatic discharge on conductive bags.
導電性バッグへの静電気放電印加時にキャパシティブセンサで観測されたピーク電圧

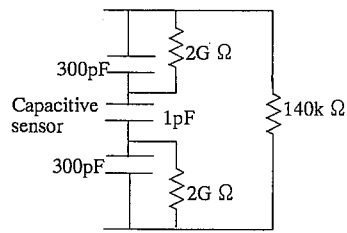
Sample	Peak voltage (V)
A	1450
B	700
C	700
D	1100
E	1500

Fig. 5 Equivalent circuit of a human body.
人体の電気等価回路

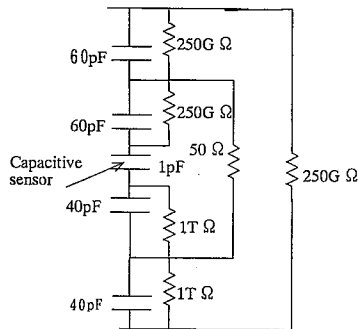
用いた。ここで静電容量は人体の等価的な静電容量を表す。一方、導電性バッグの電気等価回路の抵抗、静電容量の値は可能な限り実測によったが、多層構造のものは、中心の層の抵抗が実測不可能なため、その場合にはメーカーのデータに基づいている。Fig. 6は、導電性バッグA及びBの電気等価回路を示す。この回路を用いて、人体が3 kVに帯電した場合にキャパシティブセンサに誘起する電圧の時間変化を求めた。

Fig. 7はその結果で、バッグAのピーク値が約3.5 kVに対し、Bは100Vであった。この結果は、Table 3の実験結果とオーダは一致しているが、3~6倍程度の相違がみられた。実測値と計算値の相違の一因には、オシロスコープの周波数帯域が20 MHzであったことが挙げられる。

上記のように、電気的特性によって、導電性バッグ内



(a) Bag A



(b) Bag B

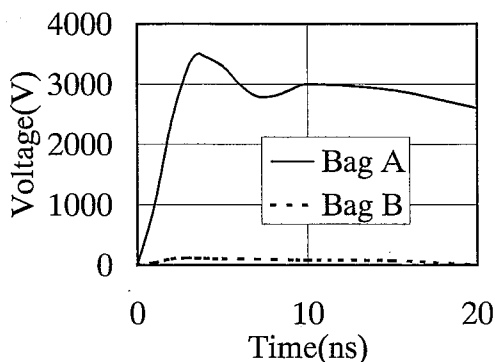
Fig. 6 Equivalent circuits of conductive bags.
導電性バッグの電気等価回路

Fig. 7 Calculated wave form between capacitive sensor.

キャパシティブセンサに誘起する電圧の数値計算結果

に誘起する電圧が大きく異なる。一般に、電界のシールド効果は導電性材料の抵抗率が小さいほど良好となるが、導電性バッグのように構造が複雑であり、また、使用される材料のシールド効果は周波数に依存するため、静電気放電のように発生する電磁ノイズの周波数が高帯域に渡る場合の厳密な電界シールド特性は複雑であるが、今回の実験及び等価回路モデルによる計算によってバッグの電気的特性と電界シールド効果の傾向がおおよそ把握できた。

以上のように静電気の放電による半導体素子の破壊レベルは電圧によって検討することが多いが、破壊機構からは、印加された電圧によって形成される電界の作用によって素子内部の材料が絶縁破壊することに起因

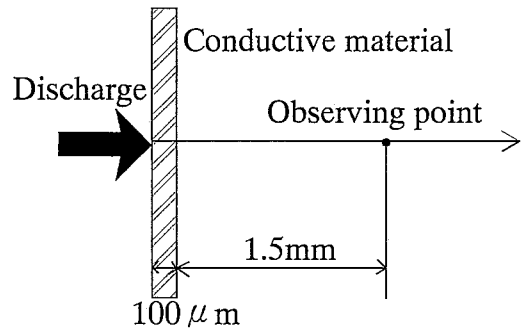


Fig. 8 Model for calculating electric field shielding effectiveness.

電界シールド効果の計算モデル

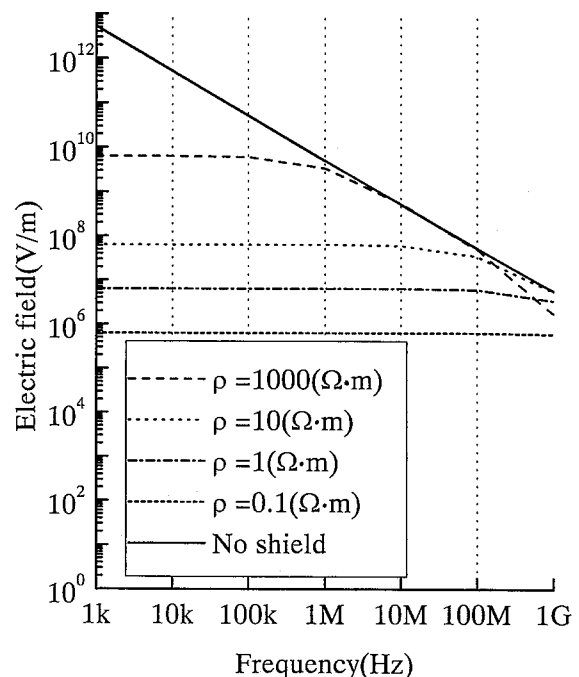


Fig. 9 Relationship between electric field shielding effectiveness and volume resistivity of material.

電界シールド効果の体積抵抗率依存性

している。そこで、抵抗率と導電性バッグ内部に発生する電界との関係を Fig. 8 のモデルによって検討した。導電性バッグ内に誘起する電界と放電電流との関係を求めるため、電流は人体からの放電電流を念頭にピーク値 10A の正弦波とし、放電は導電性バッグに垂直に発生し、放電路は実験結果を参考に 2 mm とした。一様材料で形成されたバッグの厚みは、現在使用されているものを参考に 100 μm とした。電界観測点は、IC のモールドの厚さを参考に 1.5 mm とした。ここで、静電気放電によって形成される近接電界を平面波とみなし、伝搬する各平面波の強度を求める手法を採用して³⁾、IC のゲートが X 軸方向にあるとして、X 軸方向の電界強度を求めた。数値計算の実行では、放電電流部分を 10 分割して、各電流素子によって形成される電界の合成によって求めた。導電性バッグの電気的特性

は、現状の導電性バッグを参考に、体積抵抗率を、 $0.1 \sim 1000 \Omega \cdot m$ とした。Fig. 9はその結果で、導電性バッグを使用したときの電界強度と使用しないときのそれとの比である電界シールド効果は、周波数が高くなると低下するが、一方、抵抗率の低下とともに電界シールド効果が向上している。

Fig. 9の結果について、既に報告されている実験結果から検討する。例えば、高電界に曝されたエポキシ樹脂製 MOS-IC (74C00) に $1 \sim 3 \times 10^6$ V/m で物理的損傷が観測された実験結果⁴⁾、FETを入れた導電性バッグに対して、帯電した人体からの放電が印加された場合の、素子の破壊と導電性バッグの電気的特性とを調べ、体積抵抗率が $1 \sim 10 \Omega \cdot m$ 以下では FET が破壊されなかった実験結果²⁾が報告されている。これらの実験結果は、74C00 MOS 型の IC に印加される電界を 1×10^6 V/m 以下にすれば破壊を防止可能で、この IC を静電気の放電による破壊から防止するには導電性材料の体積抵抗率を $1 \Omega \cdot m$ とすれば可能と考えられる。ここでの数値計算結果では導電性材料の体積抵抗率を $1 \Omega \cdot m$ とすると、導電性材料内の電界は 6.3×10^6 V/m となった結果とほぼ整合性のあると考えられ、本方法で電界シールド効果を検討することは、導電性バッグ設計の基礎的検討に応用できると考えられる。ただし、ここでは静電気による放電電流を正弦波状に変化していると仮定しているが、実際の電流はパルス的な電流であることから、これを考慮した検討等の課題が残されている。

5. むすび

放電加工機等から発生する電磁ノイズによる電子機器の誤作動防止、電子機器に使用される半導体素子の劣化防止の基礎資料を得ることを目的に、測定、実験、数値計算を行い次の結果が得られた。

- 1) 生産現場における代表的な電磁ノイズ発生源からの電磁界を測定し、アーク溶接機、大型モータから発生する電界強度が大きかった。電界のレベルは $0.5 \text{ V/m} \sim 36 \text{ V/m}$ に達し、一部の測定環境は IEC の分類で重工業環境に該当するものであった。
- 2) 工業環境におけるデジタル回路に対する電磁ノイズの影響を調べるために、簡単なデジタル回路に電磁ノイズを容量結合によって注入した。工業環境における伝導性ノイズの IEC 規格のレベルである 10 V を参考とすると、測定した電磁環境では、電磁ノイズ対策が不十分な場合には電子機器が誤作動する可能性のあることがわかった。また、誤作動はデジタル回路に使用される半導体素子が、high→low、あるいは low→high に遷移する過程で電磁ノイズが信号線に電磁干渉すると、電磁ノイズと本来の信号が重畳されるために、誤作動が発生しやすいものであった。
- 3) 電磁ノイズ発生源の一つである静電気の放電は、半導体素子の劣化、破壊要因であるが、これらの防止に使用される導電性バッグの設計資料を得るため、導電性バッグの電気的特性と電界シールド効果との関係を放電によって発生する電界を平面波としたモデルを用いて数値計算を行った。得られた抵抗率と電界との関係は、既に実験的に得られた半導体素子の破壊電界、導電性バッグの抵抗率と整合するものであり、ここで用いた数値計算法が導電性バッグの設計支援に利用できることがわかった。

参考文献

- 1) 半田, 香川, 和田, 古賀, 佐野, デジタル回路上の誘起雑音信号と誤作動機構の実験的検討, 信学技法 EMCJ94-15, 51~58(1994.6).
- 2) Huntsman, J.R., Yenni, Jr, D.M. and Mueller, G.E., Fundamental Requirements for Static Protective Containers, Nepcon/West conference, 1~8 (1980).
- 3) 西方, 杉浦, 無限平板導体による電磁遮蔽の理論的検討, 信学技法 EMCJ90-13, 45~52(1990).
- 4) 樋口, 山内, 前田, 高橋, 半導体デバイスの静電気放電による障害, 信学技法 EMCJ90-33, 27~33 (1990).

(平成 9 年 1 月 20 日受理)