UDC 621. 621.3.07,681.2.08,65.01.56,62-783,007-52,

安全制御におけるセンサ

杉 本 旭*, 粂 川 壮 一*, 深 谷 潔*

Pre-conditional function of Sensors for securing safety

by Noboru SUGIMOTO*, Souichi KUMEKAWA* and Kiyoshi FUKAYA*

The remarkable progress in reliability of Micro-electronics (ME) in recent years has resulted in sharp increase of the number of microcomputer-controlled machines, but their safety does not follow appropriately.

Generally speaking, ME controllers consist of very unstable systems in the sense that their large power is controlled by much smaller electric signals. Therefore, there exists a large possibility that a slight signal disturbance might cause a serious effect, creating a hazardous condition. This means that ME has a large possibility of creating not only safe side errors, but hazardous ones.

In ME controllers, Interlock Mechanism, in particular, should be built into the system so as to protect people from danger created by hazardous errors.

On the other hand, a high-performance interlocking mechanism and sensor used in ME does not necessarily become safe. It should not be forgotten that if it is to be applied to a safety device to protect people, the Mechanism-itself including sensors must be made fail-safe.

In this study, the authors debate pre-conditional function and mechanism of Fail-safe Interlock, and evaluation of safety of the system by the concept of "asymmetrical error rate".

Keywords : Fail-safe, Sensor, Safety sensor, Interlock.

* 機械研究部 Mechanical Safety Research Division

1．緒　　言

マイクロエレクトロニクス(ME)が制御装置に取り入れられ，また，ひと頃と比べてMEの信頼性も向上して，機械の機能は著しい向上をみせている。しかし，近年，LSIの集積度が高まり，それらを用いた電子デバイスは，ちょっとしたことで危険な誤りをおかしかねない状態にある。この原因は，たとえば，

(1) 信頼性計算における標準環境が保障できない使用条件

(2) デバイスの製造過程におけるキズの発生や予期しえないゴミの侵入

(3) 複雑な機能デバイスにおける検査の不完全性

(4) 人為的に生じるソフトの誤り

などである[1]。また，電子デバイスは，やがて確実に故障する。そして，その故障の仕方は確率的で，いつ発生するかわからない。したがって，電子装置のメーカにとって，装置の納入後のメンテナンスが重要になる。

このように，いつ発生するか分からない故障に対して安全を重視するシステムではインターロックという安全制御の処理構成をとる。これは世界中で古くから認められてきた安全制御の基本技術である。ここでは，まず，インターロックの基本的構造を明らかにし，次に，これを実現するための条件とその具体的構成について，ゲートとセンサを中心に述べることにする。

なお，本報告は，昭和59年度より当研究所の流動研究員として招いた日本信号㈱主任研究員蓮原弘一氏の指導と協力のもとに行った「安全装置のフェールセーフ化に関する研究」の成果の一部としてまとめたものである。

2．インターロックと非対称故障率

インターロックとは，「機器の誤動作を防止するために関連のある機器の間に電気的または機械的連絡を設け，相手方の機器が正常の状態にあるときのみ操作が行なわれるような場合，これを機器のインターロックという[2]」と定義され，システムや機器の安全制御を実現するために欠かすことのできない考え方の基本となっている。

Fig. 1はモータの正逆運転を行なうときのインターロックの例である。たとえば逆転運転を行なうときは，正転の作動命令がない条件で逆転運転が実行される構成であるから，逆転（あるいは正転）命令は，正転（あるいは逆転）命令のないことをセンシングし，その結果に基

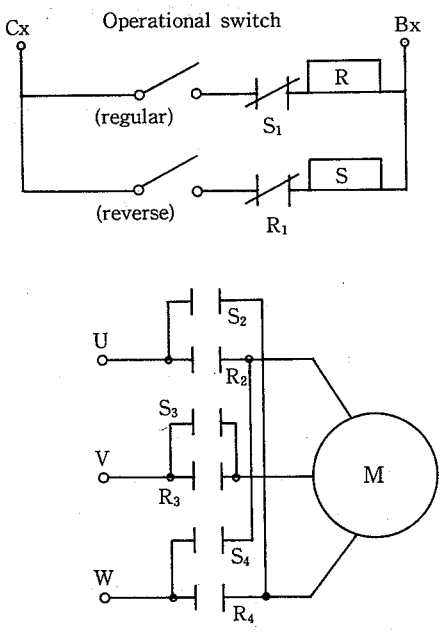


Fig. 1　Operation of driving motor
モータの正常運転

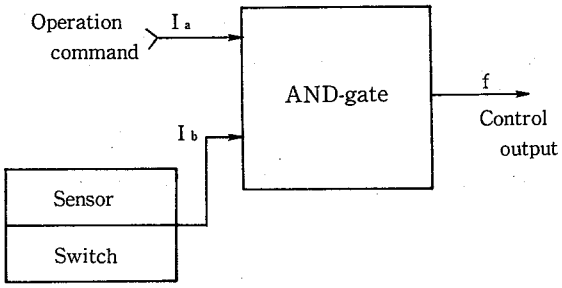


Fig. 2　A principle of interlock
インターロックの基本構成

いて発せられることになる。

このインターロックはFig. 2の基本構成図で表わされ，次の基礎条件が不可欠である。

(1) ゲート回路は故障により誤って制御出力を発生しないと同時に，運転命令だけで誤って制御出力を発しない構造の要素であること．

(2) センサ（またはスイッチ）は運転命令（誤りを含むことに注意）に対して許可信号を与えることになるから，センサ（またはスイッチ）の出力は，故障で誤って許可の出力を発生しない構成でなければならないこと。

ここに上の条件(1)，(2)は，共に故障時に出力を発生しないゲート回路およびセンサやスイッチであって，このような要素の特性をフェールセーフという。以降の説明では，2値信号 α に対して故障を含まないとき $<\alpha^1, \alpha^0>$ で表わし，信号 α を出力するデバイスの故障を含む

とき(故障信号だけのときもある)$<(\alpha)^1, (\alpha)^0>$で表わし，$(\alpha)^1$, (α^0)の故障率を$[\alpha]^1$, $[\alpha]^0$で表わすものとする。

Fig. 2 において，制御出力信号 f と入力信号 Ia, Ib は，2値信号＜1，0＞のうち制御の許可信号を＜1＞（電圧あり）とする正信号論理とする。そして，信号 f, Ia, Ib のうちで，信号＜1＞を f^1, Ia^1, Ib^1, 信号＜0＞を f^0, Ia^0, Ib^0 で表わし，ゲート G の故障のうち出力が＜1＞に誤る故障を $(G)^1$, 出力が＜0＞に誤る故障を $(G)^0$（固定故障という）とすれば，出力関数 f(∋$<f^1, f^0>$)は，次のように表わすことができる。

$$\left.\begin{aligned} f^1&=(Ia^1\wedge Ib^1)\vee(G)^1\\ f^0&=(Ia^0\vee Ib^0)\vee(G)^0\end{aligned}\right\} \quad (1)$$

センサの故障を配慮する場合，検知すべき信号があるときを P^1 とし，検知の対称がないときを P^0 とする。また，センサの故障のうち＜1＞側故障(許可信号側出力)を $(S)^1$, ＜0＞側信号（禁止信号側出力）を $(S)^0$ とすると，(1)式は次のようになる。

$$\left.\begin{aligned} f^1&=(Ia^1\wedge(P^1\vee(S)^1))\vee(G)^1\\ f^0&=(Ia^0\vee P^0\vee(S)^0)\vee(G)^0\end{aligned}\right\} \quad (2)$$

ここで，ゲートおよびセンサの故障率を〔G〕および〔S〕とし，それぞれの＜1＞側故障率$[G]^1$, $[S]^1$, ＜0＞側故障率を$[G]^0$, $[S]^0$とし，入力 Ia(∋$<Ia^1, Ia^0>$)および P(∋$<P^1, P^0>$)に誤りのないものとすると，

$$(f)^1=(S)^1\vee(G)^1$$
$$(f)^0=(S)^0\vee(G)^0$$

となる。また，十分な故障検出時間を取り得るものとすれば，制御出力 f の全故障に対する安全側故障の発生率 η^0 及び危険側故障の発生率 η^1 は次式となる。

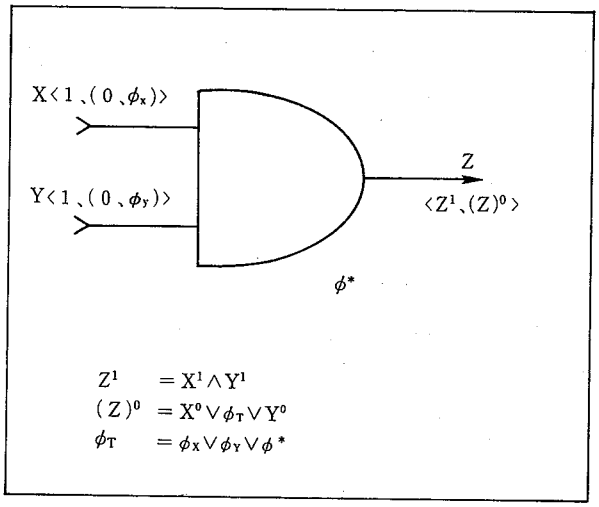
$$\eta^0=\frac{[G]^0+[S]^0}{[G]+[S]},\quad \eta^1=\frac{[G]^1+[S]^1}{[G]+[S]} \quad (3)$$

ここで，たとえばリード線の断線等を考えれば，$[G]^1>>[G]^0$, $[S]^1>>[S]^0$ を物理的に実現することは不可能である。その代わりに$[G]^0>>[G]^1$, $[S]^0>>[S]^1$はフェールセーフなゲートやセンサとして実現可能であって，このときの $\eta^0=1$, $\eta^1=0$ となり，危険側と安全側の故障発生比 η^1/η^0 を非対称故障率とすれば，これは η^1 にほぼ一致する。

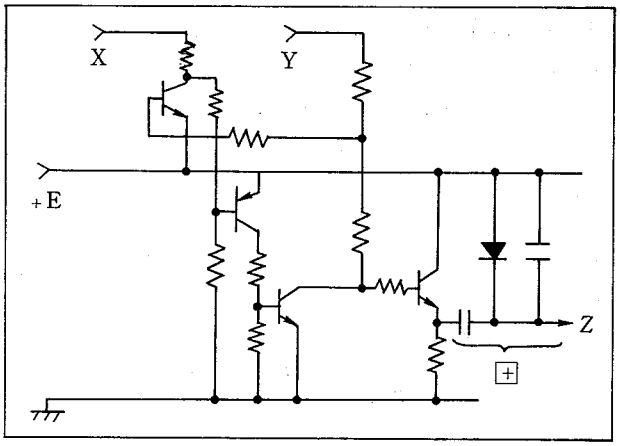
3．インターロックにおける基本論理演算要素

3.1　AND ゲート

Fig. 3 (a)は，インターロックにおける AND ゲートの



(a)　output of AND-gate



(b)　circuit of Fail-Safe AND-gate

Fig. 3　AND-gate
AND ゲート

特性を示し，入力 x, y に電圧あり＜1＞と電圧なし＜0＞の他に，＜0＞側故障 Φx, Φy を含み，出力 z にゲート回路自身の故障 Φ* が＜0＞故障として現われる。Fig. 3 (b)は，AND ゲートの具体的構成例で，ゲートが発振器（演算発振器[3]と呼ぶ）で構成されるために，出力に整流回路を必要とするが，故障時入力の x, y いずれか一方だけで出力を発生することのない AND ゲートである。

いま，ゲート回路が n 個の AND ゲートで構成され，ゲート内に否定演算が含まれていないものとして非対称誤り率を計算する。

出力 Z の故障出力を(Z)（故障率〔Z〕），故障で出力 Z が＜1＞で出力されるときを$(Z)^1$(故障率$[Z]^1$)，構成されるゲートの故障を(G_1)(故障率$[G_1]$)，各ゲートが出力＜1＞に誤る故障を$(G_1)^1$(故障率$[G_1]^1$)とすれば，フェールセーフなゲート構成では，そのゲートのいずれかに出

力＜1＞の故障が発生したとき，やがて出力は $Z=(Z)^1$ の誤りとなるから，ゲートの非対称故障率 $\eta(=\eta^1)$ は次式となる（i=1,2,…n）。

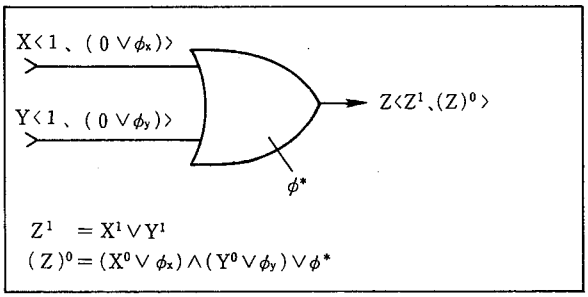
$$\left.\begin{aligned}(Z)&=(G_1)\vee(G_2)\vee(G_3)\vee\cdots\vee(G_n)=\Sigma\vee(G_i)\\(Z)^1&=(G_1)^1\vee(G_2)^1\vee\cdots\vee(G_n)^1=\Sigma(\vee(G_i)^1)\\(Z)^1/(Z)&=\Sigma(\vee(G_i)^1)/\Sigma(\vee(G_i))\end{aligned}\right\}\quad(5)$$

$$\eta=\Sigma\{G_i\}^1/\{G\}\quad(\Sigma:\sum_{i=1}^{n})\qquad(6)$$

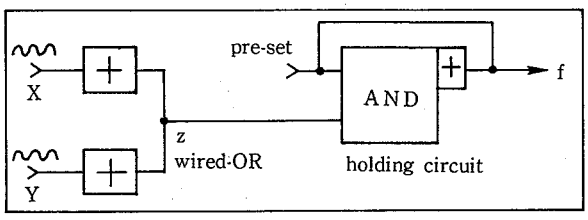
個々のゲートの非対称故障率を $\eta_1=\{G_1\}^1/\{G_1\}$ とおくと，

$$\eta=\frac{\Sigma\eta_1\{G_i\}}{\Sigma\{G_i\}}=\frac{\eta_1\{G_1\}+\eta_2\{G_2\}+\cdots+\eta_n\{G_n\}}{\{G_1\}+\{G_2\}+\cdots+\{G_n\}}\qquad(7)$$

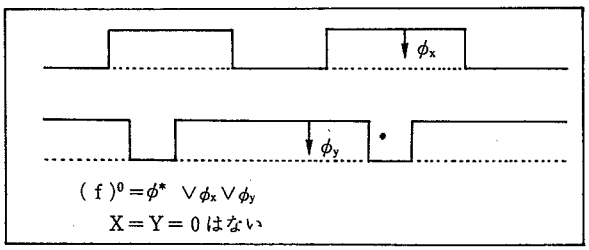
となって，$\eta_1=\eta_2\cdots=\eta_n=\eta_e$ とおけば $\eta=\eta_e$ となる。すなわち，等しい非対称故障率の要素で構成されるゲートは，要素の非対称故障率である。たとえば 10^{-4} の非対称誤り率（信号だから誤り率と呼ぶ）の接点で構成されるANDゲート群の非対称誤り率は，やはり 10^{-4} である。また(7)式はゲート G_1 の代わりにセンサ S_1 であってもかまわない。したがって，(7)式は複数の入力とANDゲートを有するインターロックに適用できることになる。



（a） output of OR-gate



（b） fail-safe OR-gate



（c） time chart

Fig. 4　OR-gate
OR ゲート

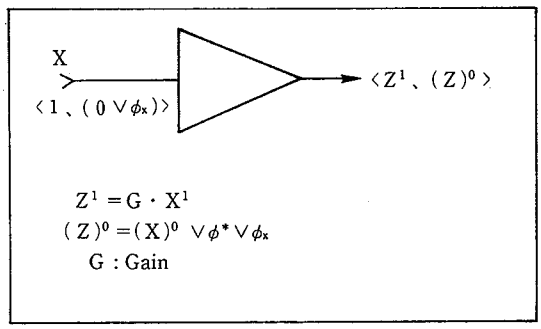
3.2　OR ゲート

Fig. 4 (a)はフェールセーフなORゲートの出力関数で，(b)は Fig. 3 (b)の整流出力をワイヤードORとするORゲートの具体的構成例である。

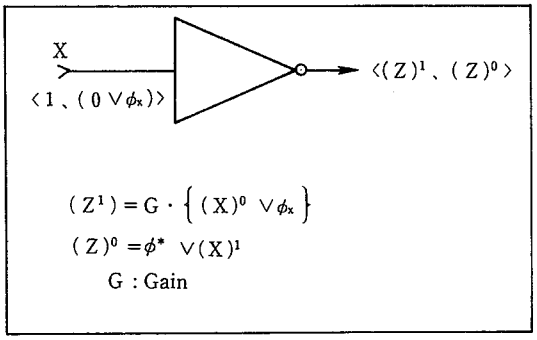
フェールセーフな信号処理では，故障は後段に伝播し，出力側で検出されねばならない（さもないと＜1＞側故障は次の点検時まで累積的に積分されることになる）。このため，フェールセーフなORゲートの出力は，入力側に時間軸上で不一致の領域をもち，常時出力＜1＞にあたったOR出力に出力＜0＞が発生した場合に改めてプリセットしない限りONしないフェールセーフな自己保持回路（後述）へ入力する（Fig. 4 (b)）。Fig. 4 (c)はこのORゲートの入力関係を示し，入力x, yのいずれかに故障 Φ_x または Φ_y が発生すれば，相対する入力y，xが入力されないとき故障判定出力 $f=(f)^0$ が発生する。この故障出力 $(f)^0$ は $(f)^0=\Phi_x\vee\Phi_y\vee\Phi^*$（$\Phi^*$ は自己保持回路の故障）の関係である。

3.3　増幅回路（バッファー回路）

Fig. 5 (a), (b)は，入力故障（＜0＞側故障 Φ_x）を含む非反転増幅回路と反転増幅回路で，増幅器は故障で出力1に誤らないものとしている（一般には負帰還を含まな



（a） output of Amplifier



（b） output of Inverting Amplifier

Fig. 5　Amplifier
増幅器

い交流増幅器)。

非反転増幅回路では，入力故障 Φ_x と増幅回路の故障 Φ^* が出力Zの＜0＞側にあって単調な関係にある。しかし，反転増幅回路(NOT)は入力故障 Φx が出力で＜1＞の側に誤り，増幅回路の故障は＜0＞側に誤る関係にある。したがって否定演算の出力はフェールセーフな出力とならない。

いま，否定演算の出力を増幅して出力Zを得るものとする。ここで，演算入力の入力側故障を (Φ_1)（故障率〔Φ_1〕），入力側の＜1＞および＜0＞故障を $(\Phi_1)^1$, $(\Phi_1)^0$（故障率〔Φ_1〕^{1}, 〔Φ_1〕^{0}），否定演算回路の故障を (NOT)，演算回路の＜1＞側故障を(NOT)^1（故障率〔NOT〕，〔NOT〕^{1}），出力側増幅器の故障を (Φ_0)，＜1＞側故障を $(\Phi_0)^1$（故障率〔Φ_0〕，〔Φ_0〕^{1}，出力zの故障を (Z)，＜1＜側故障を(Z)^1（故障率〔Z〕，〔Z〕^{1}）とすれば，非対称誤り率 η は次のように計算できる。

$$(Z)^1=(\Phi_1)^0\vee(\mathrm{NOT})^1\vee(\Phi_0)^1$$

$$(Z)=(\Phi_1)\vee(\mathrm{NOT})\vee(\Phi_0)$$

$$\eta=\frac{〔Z〕^1}{〔Z〕}=\frac{〔\Phi_1〕^0((1-〔\mathrm{NOT}〕^0)+(1-〔\Phi_0〕^0))+〔\mathrm{NOT}〕^1}{〔\Phi_1〕+〔\mathrm{NOT}〕+〔\Phi_0〕}$$

$$\frac{(1-〔\Phi_0〕^0)+〔\Phi_0〕^1}{} \qquad (12)$$

否定演算回路と増幅回路が〔NOT〕^{1}＝0，〔Φ_0〕^{1}＝0（フェールセーフ）とし，〔Φ_0〕，〔NOT〕＜＜1とすれば，

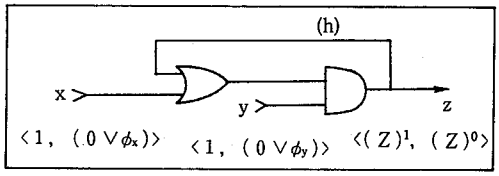
$$\eta=〔\Phi_1〕^0/(〔\Phi_1〕+〔\mathrm{NOT}〕+〔\Phi_0〕) \qquad (13)$$

となる。ここで故障率に〔Φ_1〕^{0}＞＞〔NOT〕＋〔Φ_0〕の関係があれば，η＝〔Φ_1〕^{1}/〔Φ_0〕で，入力故障の非対称誤り率となってしまう。

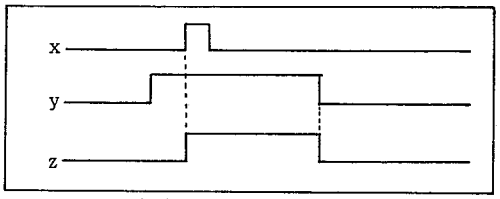
したがって，演算に否定を挿入するときはできる限り入力側に近い所がよく，インターロックでは双対な2重系センサや，2線論理式センサが利用されることになる。逆に，フェールセーフな信号処理で，終段に否定演算を含む構成は最も危険（〔Φ_1〕^{0}＝〔Φ_1〕，η＝1）な装置となる。

3.4 自己保持回路

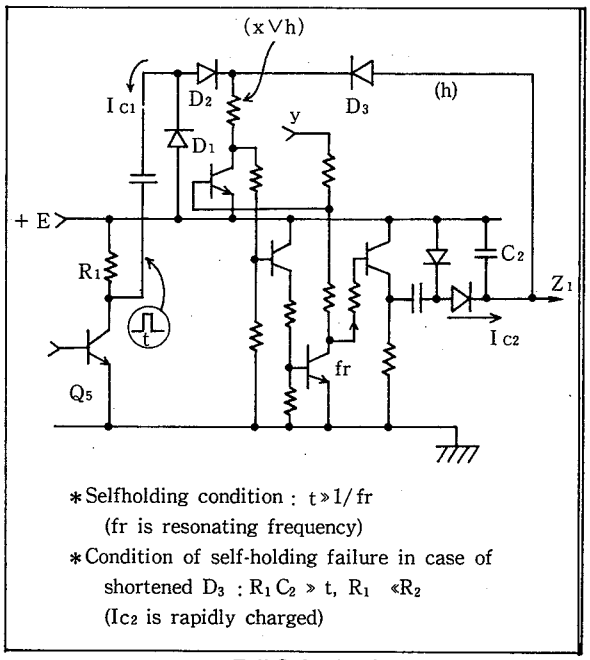
Fig. 6はパルス入力xを入力信号yで自己保持するゲート回路(ラッチ)で，(a)，(b)は動作構成図で，(c)は Fig. 3(b)を使った構成例である。(c)はフェールセーフな AND ゲートを用いており，Table 1に示すように，いずれの故障に対しても制御出力を発生しない構造となっている。



(a) Construction



(b) Time chart



(c) Fail-Safe circuit

Fig. 6 Selfholding circuit
自己保持回路

4. センサの構成

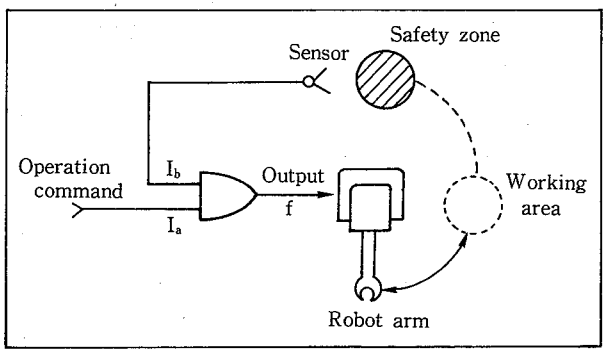
4.1 インターロックにおけるセンサの利用法[4)]

Fig. 7は，マンセンサ付きロボットにおけるアーム制御のインターロックで，人が可動範囲内にいたらアームは移動しない制御を示す。ここに，マンセンサおよびゲートはフェールセーフに構成されているものとし，センサの代表として反射型光線式センサA（人が投受光空間に進入したときはじめて正信号の検知出力を発生するセンサ）と透過型光電センサB（人が投受光空間を遮断したとき負信号の検知出力を発生するセンサ）を選ぶこととする。Fig. 7(a)は「安全な領域に人が来たらアームは動

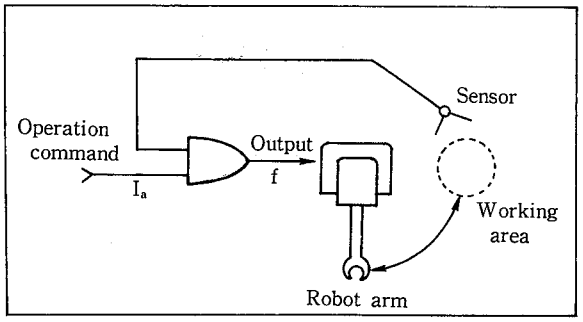
Table 1　Failure mode in fail-safe selfholiding circuit
自己保持回路の故障モード

Failure mode		remarks
Q_5	ON**)	No input signal is made.
	OFF***)	〃
C_1	ON	No input signal is made.
	OFF	〃
D_1	ON	No input signal is made.
	OFF	〃
D_2	ON	Self-holding is impossible*).
	OFF	Noinput signal is made.
D_3	ON	Self-holding is impossible.
	OFF	〃

*) Zero input signal makes (X∨h) zero with Ic.
**) ON : short circuit failure
***) OFF : open circuit failure



(a)　possitive input type



(b)　negative input type

Fig. 7　Two types of sensor for interlocking
インターロック用センサの構成

いてよろしい」というインターロックである。図7で $(G)^0$ をゲート故障とし，アームの作動命令を f^1 とすると，インターロックの出力 f は

$$\left.\begin{aligned} f^1&=Ia^1\wedge Ib^1\\ (f)^0&=Ia^0\vee Ib^0\vee(G)^0\end{aligned}\right\}\quad(14)$$

で与えられる。(14)式において入力信号 Ia^1, Ib^1 は，単調（ユナイト）な関係で与えられねばならないから，センサを含む Fig. 7 のインターロックは，センサの入力信号を $<P^1, P^0>$ とし，センサの故障を $(S)^0$ とおくと次式となる。

$$\left.\begin{aligned} f^1&=Ia^1\wedge P^1\\ (f)^0&=Ia^0\vee P^0\vee(S)^0\vee(G)^0\end{aligned}\right\}\quad(15)$$

(15)式を満足するセンサ構成は Fig. 7 (a)では上記 A のセンサ（P^1 の（＝人が検知されている）とき安全制御の出力となる）を，Fig. 7 (b)では上記 B のセンサ（P^1 の（＝人が検知されない）とき，安全制御の出力となる）を使わなければならない。

もし，A, B のセンサを逆に使うと，センサとゲート間に否定演算を挿入しなければならないから，次式となって極めて危険な制御ということになる（$(N)^0$ は否定演算回路の＜0＞側故障）。

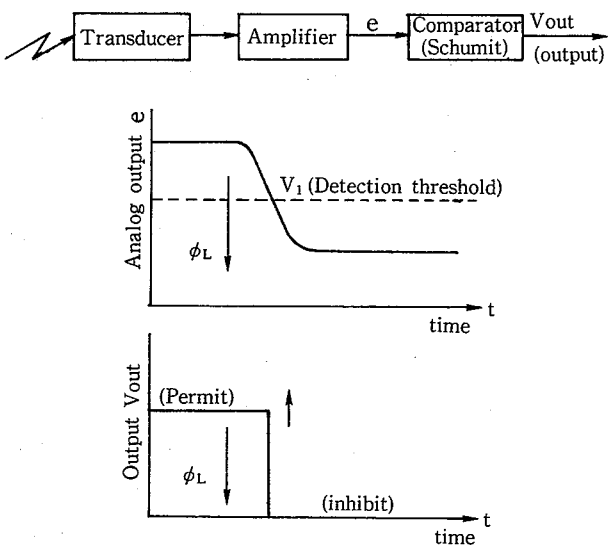
$$\left.\begin{aligned} (f)^1&=Ia^1\wedge\overline{P^0\vee(S)^0}\\ (f)^0&=Ia^0\vee\overline{P^1}\vee(N)^0\vee(G)^0\end{aligned}\right\}\quad(16)$$

4.2　フェールセーフのセンサの構成

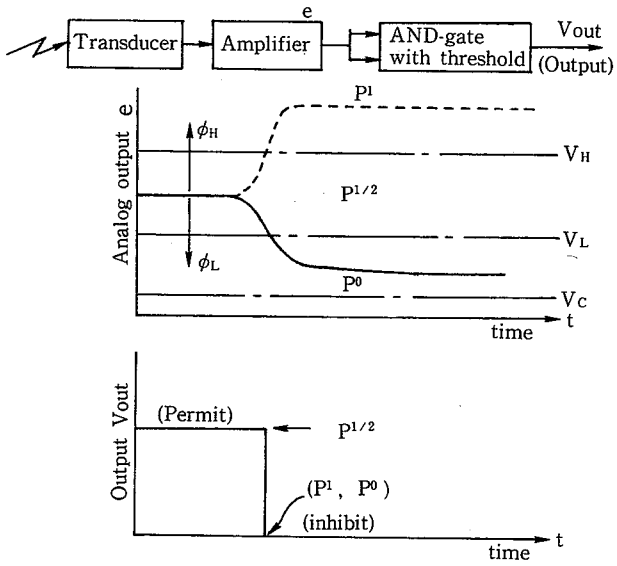
Fig. 8 (a)は，最も単純なセンサの構成例で，トランスジューサ出力からレベル検定出力まで故障時出力を発生しない構成とし，正信号（検知信号として出力電圧＜1＞）を発生するときは単調増大の信号処理（トランスジューサに発生した電圧が増幅器，レベル検定まですべて電圧の発生する処理）を行ない，負信号（検知信号として出力電圧なし＜0＞）を発生する場合は，単調減少の信号処理（トランスジューサの出力電圧低下　増幅器・レベル検定出力低下の処理）を行なう。送信器をもつセンサでは送信器が故障したときレベル検出器の出力が低下する（＜0＞に縮退するという）ように構成する。

Fig. 8 (b)は(a)のレベル検定の代わりにフェールセーフなウィンドコンパレータを使った例である。Fig. 3 の AND ゲートは2つの入力 x, y に独立にレベル検定機能をもたせることができる。入力 x 側の出力発生可能条件（領域）を X，y 側の出力発生可能条件（領域）Y とし，x, y を共通入力端子とすれば，両条件（積）を満足する領域 W で出力を発生するフェールセーフなウィンドコンパレータとすることができる。

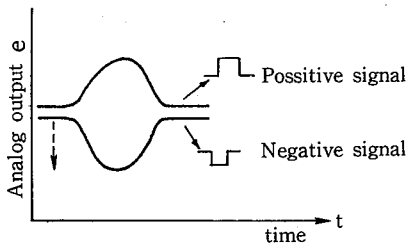
Fig. 8 (b)でいまアナログ出力 e をレベル順に信号 $<P^0, P^{1/2}, P^1>$ の3値（順3値）に分離し，ウィンドウコンパレータの窓を $P^{1/2}$ に設定する（$P^{1/2}$ の入力範囲で出力＜



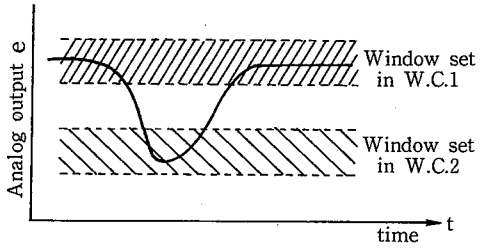
(a) The cace of zero output due to failures.



(b) The case of non-"Unite" detecting process.



(c) Complementary dual sensor
(Failure mode ϕ_H : up to high level
ϕ_L : down to low level)



(d) dual sensor with double rail output using W.C.
(W.C. : Window Comparator)

Fig. 8 Principle of sensors for interlocking
インターロック用センサの基本原理

1＞を発生する）ものとする。このとき，ウィンドウコンパレータの出力Zは$(S_1)^0$をウィンドウコンパレータの故障出力とすると，

$$\left.\begin{aligned} Z^1 &= P^{1/2} \\ (Z)^0 &= (S_1)^0 \vee P^1 \vee P^0 \end{aligned}\right\} \quad (17)$$

となって，トランスジューサ出力の増大する信号からでも減少する信号からでも負信号のセンサ出力を得ることができる。すなわち，ウィンドウコンパレータを使えば，トランスジューサおよび増幅器が故障してP^1側に誤っても，P^0側に誤っても出力は＜0＞側となるので，対称故障モードのアナログ出力のセンサをフェールセーフにすることができる。

インターロックのゲートで否定演算が必要な場合，センサの入力信号として否定出力を発生させなければならない。すなわち同一のセンシングの対象に対して正信号と負信号をFig. 8 (a)の構成でFig. 8 (c)のように発生させねばならない。したがって否定演算を含むインターロックでは同一のセンシングを正と負の信号出力で得る双対な2重系のセンサとする。これを共通のセンサ（アナログ出力）から得るには，フェールセーフなウィンドウコンパレータを使ってFig. 8 (d)に示すように，必要とする出力信号が得られるように窓設定を行なう。こうして正と負の双対な関係の出力を2本の出力線で出すセンサを2線論理式センサと呼ぶ[5,6]。

いま，1個のアナログ入力に対してn個のウィンドウコンパレータでレベル検定し，n通りの窓設定を行なうとn通りの入力領域P_nに対して各ウィンドウコンパレータは次式で与えられるフェールセーフな出力Ziを得ることができる。

$$\left.\begin{aligned} Zi^1 &= P^1 \\ (Zi)^0 &= (Si)^0 \vee P^0 \vee P^1 \vee \cdots \vee P^n \quad (n \neq i) \end{aligned}\right\} \quad (18)$$

5．多重系処理

インターロックの特殊構成として，不確な入力信号に対して多重系処理を行ない，この処理結果の一致（不一致）検出を行なって出力を得る方法がある。たとえば，Fig. 9は，対称誤り特性を持つ入力群に対して，対称故障率特性をもつ処理装置で処理し，その結果が一致したときだけ出力＜1＞をANDゲートの出力として発生する構成である。ここで，故障で一致判定に誤りを生じないようにANDゲートに非対称故障率素子を使うと，ANDゲートは入力f_1に対して入力f_2（入力f_2に対して入力f_1）を許可信号とするインターロックを構成していることになる。このインターロックの対称誤り率を計算する。

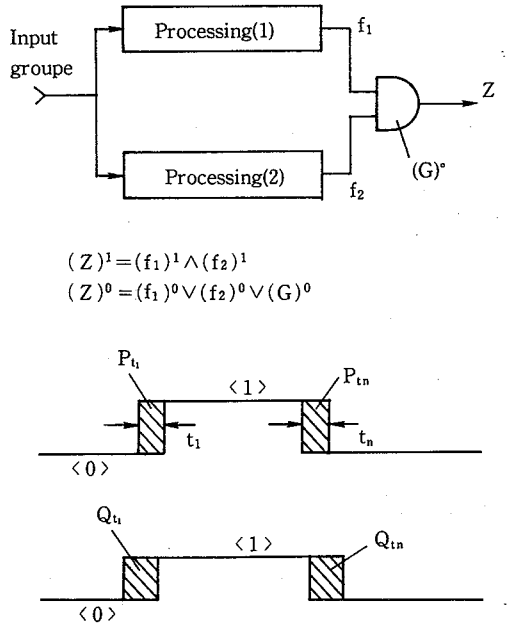


Fig. 9　Dual system
2重系

Fig. 9でPt_1を出力f_1側における単位時間当たりの危険側故障＜1＞の発生確率，Qt_1を出力f_2側の危険側故障の発生確率とする。いま両処理系は不一致検知によって故障検知されるものとすると，出力f_1, f_2共に＜1＞に誤ったとき，危険側故障となる。この2重故障は出力＜1＞が継続する間いつ起こっても2重故障である。したがって，Pt_1と$Qt_1 \cdots Qt_n$とが同時に発生する確率は$Pt_1 \cdot \Sigma Qt_1$であるからt_n時間に両者が＜1＞に誤る確率は$\Sigma Pt_1 \cdot \Sigma Qt_1$である（但し$\Sigma$はi＝1…nの和）。

すなわち，出力に論理値＜1＞の発生する総時間をt（＜1＞の発生回数と＜1＞の持続時間の積）とし，両系の生存時間または観測時間をT，出力f_1, f_2を与える処理系の故障率をP_dとすると，時間Tにおける処理系の故障率は$2P_d \cdot T$，両系に故障で＜1＞の発生する確率は$(\int_0^t 0.5P_d \cdot dt)^2 = 0.5P_d \cdot t^2/8T$となって論理値＜1＞の継続時間の2乗に比例することになる。

これを多数決演算とし，入力側単一故障はすべて検知されるものとすると，入力の2重故障だけが危険側故障となる。2-OUT-OF-3の全故障率は観測時間（メンテナンス間隔）をTとすると，$3\int_0^t P_d \cdot tdt = 3TP_d$（$P_d$は入力A，B，Cを与える処理系の故障率）となる。観測時間Tで論理値＜1＞の発生する総時間をtとすると，3系のうち2系が同時に＜1＞に誤る場合は3通りあるから$3(0.5P_d \cdot t)^2$となる。したがって，非対称誤り率ηは

$$\eta = P_d \cdot t^2/4T$$

となる。

6．結　論

インターロックは次の特性をもつことを示した。

(1)　センサを含むインターロックは(15)式で与えられる。

(2)　OR回路を含むインターロックは，フェールセーフな自己保持回路で監視しなければならない。

(3)　2値の否定演算を終段に含むインターロックはきわめて危険である。

(4)　したがって，否定演算を含むインターロックは2線論理のセンスを必要とする。

(5)　速報型の非対称誤り特性を持つ誤り検知を行なうとき，対称誤り2重系の非対称誤り率は$P_d \cdot t^2/8T$，2-OUT-OF-3はこの2倍である。

（昭和61年2月1日受理）

参考文献

1）樹下，藤原；デジタル回路の故障診断(上)，工学図書（1983）

2）電気辞典，商工会館出版部（1953）

3）蓬原；“しきい値発振型フェールセーフ論理演算素子の交流駆動”，電気学会，回路とシステム研究会資料，CAS83-93（1983）

4）蓬原；“ウィンドウコンパレータ論理積演算発振器の高信頼化技術への適用”，電気通信学会，信頼性研究会資料，R84-15（1984）

5）蓬原，猪瀬；“A Realization of Highly Reliable Sensor”，電気学会，第3回センサシンポジウム，

293 (1983)
6) 当麻；“フォールトトレラントコンピューティングに関する最近の話題－総論”昭53電四連大, 200 (1978)